

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **01-290235**
 (43)Date of publication of application : **22.11.1989**

(51)Int.CI.

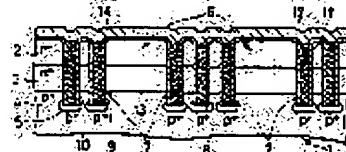
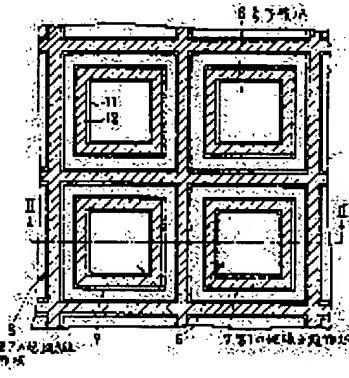
H01L 21/76(21)Application number : **63-121595**(71)Applicant : **IWATSU ELECTRIC CO LTD**(22)Date of filing : **17.05.1988**(72)Inventor : **WATANABE SUMIO**

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To improve a device in an element isolation strength by a method wherein insulating isolation regions are provided surrounding side faces of an element region multiply and a p-n junction isolation region is provided to the underside of the element region.

CONSTITUTION: Side faces of two or more element regions 6 are circularly surrounded by a first insulating isolation region 7 and a second insulating isolation region 8. The first insulating isolation region 7 is so formed as to surround the element regions 6 separately, and the second insulating isolation region 8 is so arranged in a planar lattice to surround the first insulating isolation region 7. Therefore, the side faces of the element regions 6 are dually surrounded by the first and the second insulating isolation regions 7 and 8. And, a p-n junction isolation region 13 is provided to the underside of the element region 6. By these processes, a device of this design can be improved in an element isolation strength without providing additional processes.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

[decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

⑯ 公開特許公報 (A) 平1-290235

⑤Int. Cl.⁴
H 01 L 21/76識別記号 庁内整理番号
L-7638-5F

④公開 平成1年(1989)11月22日

審査請求 未請求 請求項の数 1 (全4頁)

⑥発明の名称 半導体集積回路装置

⑦特 願 昭63-121595

⑧出 願 昭63(1988)5月17日

⑨発明者 渡辺 純夫 東京都杉並区久我山1丁目7番41号 岩崎通信機株式会社
内

⑩出願人 岩崎通信機株式会社 東京都杉並区久我山1丁目7番41号

⑪代理人 弁理士 高野 則次

明細書

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

[1] 半導体基板の素子領域の側面が絶縁分離領域によって多重に囲まれ、前記素子領域の下側にp-n接合分離領域が設けられていることを特徴とする半導体集積回路装置。

3. 発明の詳細な説明

[産業上の利用分野]

本発明は、素子相互間を電気的に分離する絶縁分離領域を有する半導体集積回路装置に関するものである。

[従来の技術]

半導体集積回路装置の素子領域の側面を囲むように多結晶シリコンから成る絶縁分離領域を設け、素子の底面側にp-n接合分離領域を設けることによって素子相互間を電気的に分離することは既に行われている。

[発明が解決しようとする課題]

しかし、従来の絶縁分離領域とp-n接合分離領域との組合せの素子分離構造では、素子分離耐圧が50V程度であり、大きな耐圧を得ることが困難であった。

そこで、本発明の目的は、高い素子分離耐圧を有する半導体集積回路装置を提供することにある。
[課題を解決するための手段]

上記目的を達成するための本発明は、半導体基板の素子領域の側面が絶縁分離領域によって多重に囲まれ、前記素子領域の下側にp-n接合分離領域が設けられている半導体集積回路装置に係わるものである。

[作用]

素子領域の側面を多重に囲む絶縁分離領域は、素子分離耐圧の向上に寄与する。

[実施例]

次に、本発明の一実施例に係わる半導体集積回路装置を説明する。半導体集積回路装置のシリコン半導体基板1は、n-型半導体領域2と、n+型半導体領域3と、p-型半導体領域4と、チャ

ネル発生防止用 p^+ 型半導体領域 5 とから成る。複数の素子領域 6 の側面は第 1 の絶縁分離領域 7 と第 2 の絶縁分離領域 8 とによって環状に囲まれている。第 1 及び第 2 の絶縁分離領域 7、8 は、 n^- 型半導体領域 2 と n^+ 型半導体領域 3 とを突き抜けて p^- 型半導体領域 4 に達するように形成された溝 9、10 にそれぞれ SiO_2 膜 11 と多結晶シリコン 12 を埋め込んだものから成る。

第 1 の絶縁分離領域 7 は個々の素子領域 6 を独立に囲むように形成され、第 2 の絶縁分離領域 8 は平面形状格子状に配置され、第 1 の絶縁分離領域 7 を囲んでいる。従って、素子領域 6 の側面は第 1 及び第 2 の絶縁分離領域 7、8 によって二重に囲まれている。各素子領域 6 の n^- 型半導体領域 2 はトランジスタ等の能動半導体素子を形成する領域である。 n^+ 型半導体領域 3 はコレクタ埋込層として機能する部分である。 p^- 型半導体領域 4 は、 n^+ 型半導体領域 3 との間の $p-n$ 接合 13 によって素子領域 6 を $p-n$ 接合分離する領域として機能する。第 2 図は半導体素子形成前の状態

オン注入法で溝 9 の底部に導入し、 p^+ 型半導体領域 5 を形成する。次に、 SiO_2 膜 15 及び NSG 膜 16 を取り除いた後に第 3 図 (C) に示すように溝 9 内に熱酸化法で SiO_2 膜 11 を形成し、更に多結晶シリコン層 12 を埋込む。

次に、半導体基板 1 上の多結晶シリコン層をエッチングして表面を平坦化し、その後、表面を熱酸化して第 3 図 (D) に示すように厚い SiO_2 膜 14 を形成する。しかる後、トランジスタ等の半導体素子 (図示せず) を素子領域 6 中の n^- 型半導体領域 2 に形成して半導体集積回路装置を完成させる。なお、第 3 図に示されていない第 2 の溝 10 及び第 2 の絶縁分離領域 8 も第 1 の溝 9 及び第 1 の絶縁分離領域 7 と同様に同時に形成する。

第 1 図及び第 2 図に示すように二重に絶縁分離領域 7、8 を設けた場合の素子領域 6 相互間の耐圧 (素子分離耐圧) は第 4 図の電圧 - 電流特性線 20 に示すように約 80 V であった。一方、従来の单一の絶縁分離領域を設けた場合の素子分離耐圧は特性線 10 に示すように約 50 V である。

を示すので、半導体基板 1 の表面には SiO_2 膜 14 が設けられている。

第 3 図 (A) ~ (D) は第 1 図及び第 2 図に示す半導体集積回路装置を製造工程順に示す。まず、 p^- 型半導体領域 (p^- 型半導体基板) 4 に周知の方法でコレクタ埋込層として働く n^+ 型半導体領域 3 を設け、この上にシリコンをエピタキシャル成長させることによって n^- 型半導体領域 2 を得る。その後、第 3 図 (A) に示すように熱酸化によって SiO_2 膜 15 を形成し、更に周知の CVD 法によって NSG 膜 16 を形成する。次に、溝 8 を形成するために、レジスト 17 を所定パターンに形成し、 NSG 膜 16 及び SiO_2 膜 15 をエッチングする。

次に、反応性スパッタエッチング法を用いて NSG 膜 16 をマスクとして n^- 型半導体領域 2、 n^+ 型半導体領域 3 及び p^- 型半導体領域 4 の一部をエッチングし、第 3 図 (B) に示すように側面がほぼ垂直な溝 9 を形成する。

次に、チャンネル発生防止の目的で不純物をイ

本実施例においては、第 1 及び第 2 の絶縁分離領域 7、8 が同時に形成されるので、工程を特別に増すことなしに素子分離耐圧を向上させることができる。

[変形例]

本発明は上述の実施例に限定されるものではなく、例えば次の変形が可能なものである。

(1) 第 5 図に示すように素子領域 6 のあるものを第 1 及び第 2 の絶縁分離領域 7、8 に加えて第 3 の絶縁分離領域 21 で囲むようにしてもよい。第 3 図では複数の素子領域 6 から選択された 4 個のみが第 1、第 2 及び第 3 の絶縁分離領域 7、8、21 で三重に囲まれているが、全部を三重にしてもよい。

(2) 第 6 図に示すように各素子領域 6 を独立した第 1 及び第 2 の絶縁分離領域 7、8 a でそれぞれ囲むようにしてもよい。

(3) 第 7 図に示すように各素子領域 6 を独立した第 1、第 2 及び第 3 の絶縁分離領域 7、8 a、21 a で三重に囲むようにしてもよい。なお、

第5図、第6図及び第7図において斜線を付して示す各絶縁分離領域7、8、8a、21、21aは第1図及び第2図と同一工程で同様に形成されたものであり、 SiO_2 膜と多結晶シリコン層とから成る。

(4) 絶縁分離領域を三重よりも多くすることもできる。

(5) 絶縁分離領域の多結晶シリコン層12を SiO_2 、 Si_3N_4 等の誘電体材料に置き換えることが可能である。

[発明の効果]

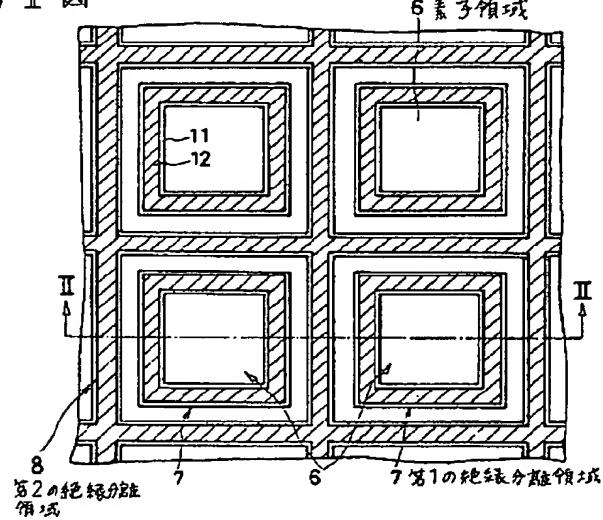
以上説明したように、本発明によれば半導体積層回路装置の電子分離耐圧を向上させることができる。

4. 図面の簡単な説明

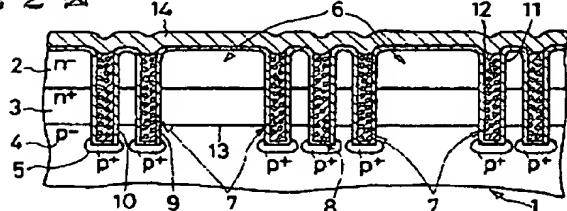
第1図は本発明の一実施例に係わる半導体積層回路装置の電子形成前の状態を半導体基板表面の SiO_2 膜を除去して示す平面図。

第2図は第1図のII-II'線に相当する部分を SiO_2 膜のある状態で示す断面図。

第1図



第2図



第3図は絶縁分離領域の形成方法を工程順に示す断面図。

第4図は実施例及び従来例の電子耐圧を示す特性図。

第5図は絶縁分離領域の変形例を示す平面図。

第6図は絶縁分離領域の別の変形例を示す平面図。

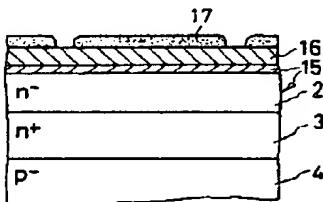
第7図は絶縁分離領域の更に別の変形例を示す平面図である。

1…半導体基板、2… p^+ 型半導体領域、6…電子領域、7…第1の絶縁分離領域、8…第2の絶縁分離領域、12…多結晶シリコン層。

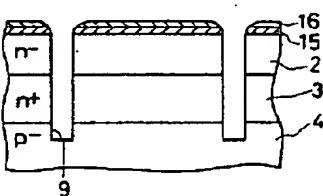
代理人 高野則次

第3図

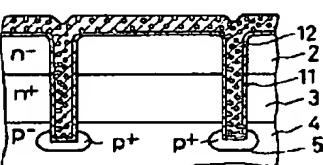
(A)



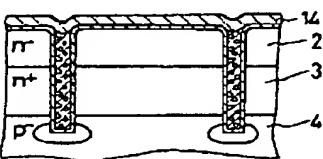
(B)



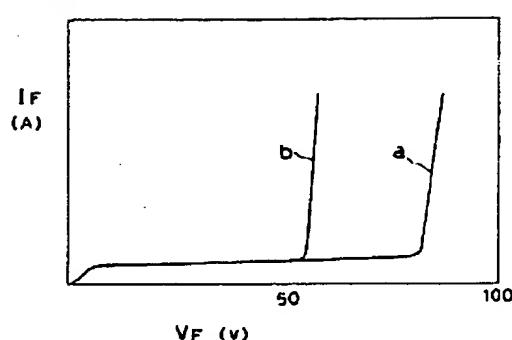
(C)



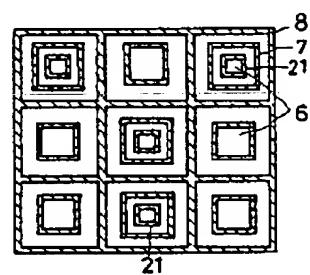
(D)



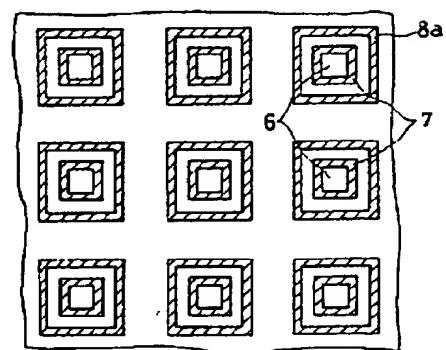
第4図



第5図



第6図



第7図

